

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-176267

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

H05K 3/46

H01L 23/12

H01L 25/00

H05K 1/16

H05K 1/18

(21)Application number : 2001-284316

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.09.2001

(72)Inventor : HIGUCHI KAZUTO

(30)Priority

Priority number : 2000291795

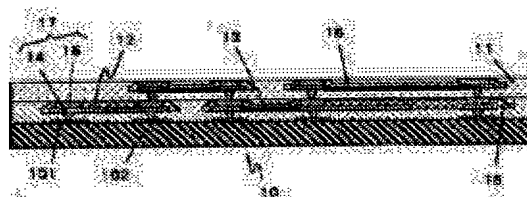
Priority date : 26.09.2000

Priority country : JP

**(54) ELECTRONIC PARTS, CIRCUIT DEVICE, MANUFACTURING METHOD THEREFOR AND SEMICONDUCTOR DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide an inexpensive and thin substrate incorporating parts, which incorporates the electronic parts with high density, whose insulating layer is formed of resin and which has high function, and to provide a manufacturing method and a semiconductor package using the substrate incorporating the parts, loading a semiconductor chip for functioning.

**SOLUTION:** The thin film electronic part with bumps 13 for interlayer connection is laminated on the substrate 10. Thus, the part is incorporated and interlayer connection is realized. Then, the circuit device of high density is constituted. For forming the thin film electronic part 13, a recessed part being the mold of a bump is formed on a template and an electrode and an element are sequentially formed on the template. Consequently, the fine thin film electronic part with bumps superior in a characteristic is formed in a simple process.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-176267  
(P2002-176267A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード <sup>*</sup> (参考)
H 0 5 K 3/46		H 0 5 K 3/46	Q 4 E 3 5 1
H 0 1 L 23/12		H 0 1 L 25/00	B 5 E 3 3 6
	25/00	H 0 5 K 1/16	A 5 E 3 4 6
H 0 5 K 1/16			Z
1/18		H 0 1 L 23/12	B
		審査請求 未請求 請求項の数11 O L (全 11 頁)	

(21) 出願番号 特願2001-284316(P2001-284316)

(22) 出願日 平成13年9月19日 (2001.9.19)

(31) 優先権主張番号 特願2000-291795(P2000-291795)

(32) 優先日 平成12年9月26日 (2000.9.26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 樋口 和人

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術センター内

(74) 代理人 100083161

弁理士 外川 英明

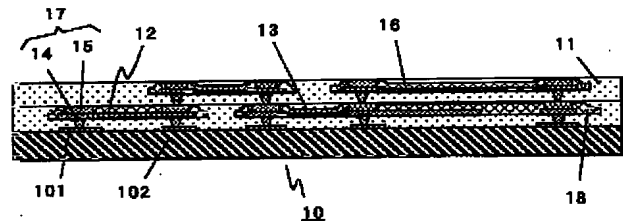
最終頁に続く

(54) 【発明の名称】 電子部品、回路装置とその製造方法並びに半導体装置

(57) 【要約】

【課題】 電子部品を高密度に内蔵し、絶縁層が樹脂で形成された安価で薄型で高機能な部品内蔵基板とその製造方法、およびその部品内蔵基板を用い、半導体チップを搭載し機能を持たせた半導体パッケージを提供する。

【解決手段】 層間接続が可能なバンプ付薄膜電子部品13を基板10内に積層することにより、部品の内蔵と層間接続とを同時に行い高密度な回路装置を構成する。さらにその薄膜電子部品13を形成するにあたっては、型板にバンプの型となる凹部を形成し、その型板上に電極ないし素子を順次形成することにより、特性が優れた微細なバンプ付薄膜電子部品を簡単な工程で形成する。



## 【特許請求の範囲】

【請求項1】 配線が形成された基板に対して、電気的作用を生じさせるための素子を有する電子部品に設けられた端子部を、所定形状の押圧面を有するツールによって押圧し、前記端子部において前記電子部品と前記配線とを電気的に接合させるボンディング工程と、ボンディングされた前記端子部の前記ツールに押圧されていた部分の少なくとも一部に他の部品を電気的に接合させる積層工程と、を具備することを特徴とする回路装置の製造方法。

【請求項2】 配線上に絶縁層が積層されている基板の前記絶縁層に対して電気的作用を生じさせるための素子を有する電子部品をマウントするとともに、マウントされた前記電子部品の端子部を所定形状の押圧面を有するツールによって押圧し、前記素子に接続された端子部において前記電子部品と前記配線とを電気的に接合させるボンディング工程と、ボンディングされた前記端子部の前記ツールに押圧されていた部分の少なくとも一部に他の部品を電気的に接合する積層工程と、を具備することを特徴とする回路装置の製造方法。

【請求項3】 電子部品に設けられる端子部の高さが全て実質的に同一であることを特徴とする請求項1または2記載の回路装置の製造方法。

【請求項4】 電気的作用を生じさせるための素子本体部とこの素子本体部を外部装置の導電性部材と電気的に接続させるための端子部とを具える電子部品であって、前記電子部品を積層させる積層方向に配列され前記外部装置の導電性部材と電気的に接続される前記端子部の高さを厚さの最大値とした構造を有することを特徴とする電子部品。

【請求項5】 外部装置と接続される端子部の複数の部位が同一平面内に配置される場合、少なくともこの同一平面内に位置する部位は電極表面となるよう構成されていることを特徴とする請求項4記載の電子部品。

【請求項6】 型材の表面を所望の凹凸形状に形成する工程と、前記表面に電気めっきに用いる陰極を形成する工程と、前記陰極上に電気的作用を奏する素子本体を設けるとともに、前記陰極上の少なくとも最も凹んだ部分を前記陰極を用いた電気めっきにより導電性材料にて埋めかつ前記素子本体と連結する前記最も凹んだ部分の前記導電性材料とを電気的に接続する工程と、前記素子本体ならびに前記導電性材料を樹脂にて封止する工程と、前記最も凹んだ部分の直上に相当する前記樹脂を除いて開口を設け前記導電性材料を露出させる工程と、前記開口をさらに導電性材料によって埋める工程と、を具備することを特徴とする電子部品の製造方法。

【請求項7】 電気的作用を生じさせるための素子本体部

とこの素子本体部を他の導電性部材と電気的に接続させるための端子部とを具える電子部品を複数有しているとともに、前記電子部品の前記端子部に設けられたバンプ電極によって、他の前記電子部品の端子部に対して電気的に接合されていることにより前記複数の電子部品が積層構造をなしており、かつ積層された前記電子部品間が絶縁性材料によって埋められていることを特徴とする回路装置。

【請求項8】 電気的作用を生じさせるための素子本体部とこの素子本体部を他の導電性部材と電気的に接続させるための端子部とを具える電子部品を複数有しているとともに、前記電子部品の前記端子部に設けられたバンプ電極によって、他の前記電子部品の端子部に対して電気的に接合されていることにより前記複数の電子部品が積層構造をなしており、積層された前記電子部品間が絶縁性材料によってうずめられており、前記端子部の前記バンプ電極の積層方向反対側に他の電子部品が有するバンプ電極が電気的に接合される電極が配置されていることを特徴とする回路装置。

【請求項9】 電気的作用を生じさせるための素子本体部とこの素子本体部を他の導電性部材と電気的に接続させるための端子部とを具える電子部品を複数有しているとともに、前記電子部品の前記端子部に設けられたバンプ電極によって、他の前記電子部品の端子部に対して電気的に接合されていることにより前記複数の電子部品が積層構造をなしており、積層された前記電子部品間が絶縁性材料によってうずめられてなる回路装置であって、前記端子部の前記バンプ電極の、前記回路装置の厚さ方向反対側に他の電子部品が有するバンプ電極が電気的に接合される電極が配置されていることを特徴とする回路装置。

【請求項10】 電子部品間の接続部位に拡散接合による接合部を有することを特徴とする請求項7乃至9いずれかに記載の回路装置。

【請求項11】 請求項7乃至9いずれかに記載の回路装置と、この回路装置の表面に形成された電極に対して電気的に接続された半導体素子とを具備すること特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子部品を内蔵し絶縁層が樹脂で形成された電気部品内蔵型の回路装置とその製造方法、およびその部品内蔵型の回路装置上に半導体チップを搭載した半導体装置に関する。

【0002】

【従来の技術】近年、半導体集積回路技術の発達により電子機器の小型化、薄型化、高性能化が進められており、これにともなって半導体チップあるいは電子部品も同様に小型、薄型化が進み、回路基板内部の配線の高密度化に相まって従来では困難だった高密度なモジュール

が実現されつつある。特に、準ミリ波帯域を用い、数十～数百k b p sでデータを転送するデジタル携帯電話やPHS等の電子情報携帯機器では、画像伝送や動画伝送等の高速通信システム開発により、今後さらなる高速化が望まれており、これに伴い大規模・複雑化・高速化する回路を小型の筐体に収める目的で、半導体チップのパッケージや電子部品ではこれまで以上の高密度実装が要求されている。この様な要求に応えるため、半導体チップの搭載方法は従来のリードフレームを用いたパッケージ形態から、小型化、薄型化、多ピン化に有利なボールグリッドアレイ(BGA)、チップスケールパッケージ(CSP)等のパッケージ形態に変化しつつある。現在ではさらに、複数の半導体チップを三次元的に積層したCSPも開発されている。一方、抵抗やキャパシタ等、半導体パッケージと共に回路基板上へ搭載される受動素子を有する電子部品は、セラミックスパッケージのチップ部品として表面実装技術で実装され、その部品サイズは1005サイズから0603サイズへと小型化が進展している。

#### 【0003】

【発明が解決しようとする課題】しかしながら、半導体素子や能動部品自体の小型化や高集積化は進んでも、半導体素子と受動部品との接合において、部品を配置するための平面的な物理空間を必ず要しているため、装置全体の小型化・半導体素子と受動部品との電気的距離の短小化を制限している。この問題に対し、部品を内蔵した基板構造が提案されている。例えば、基板部に抵抗、キャパシタ、インダクタ等の電子部品を内蔵した半導体パッケージの構造が公開されている(Rao R. Tummala, et al.; Proceedings of IEMT / IMC ;p.217-224 ; 1999)。本構造ではコア基板上にビルドアップ層を形成していく段階で、配線層と共に抵抗、キャパシタ、インダクタ等の電子部品を形成する。しかしながら、このような方法では基板の製造工程中に素子を作りこむ工程が加わるために、プロセスが冗長になりがちであるとともに、歩留まりの向上も期待できない。一方、特開平11-220262号公報では、従来のチップ部品を搭載した複数の基板を積層した構造とし、レーザにて形成したビア孔に導電ペーストを埋め込んで層間接続を図った電子部品を内蔵する基板構造が公開されている。このプロセスでは通常のチップ部品を使用するため、プロセス上の問題は軽減されるが、チップ部品の厚さは0.5mm以上あり、内層基板の厚さを考慮した場合、複数層の積層により基板厚さが数mmに達すること、部品の厚みを標準化しないと基板の平坦化が困難なこと、などの課題が残る。

【0004】また、チップ部品の投影面積以外に部品と配線上の電極との接続部および層間接続ビアを配置するための面積を要しているために、高密度化が困難となってしまう。本発明は、以上の問題点を鑑みてなされたも

ので、電子部品を内蔵した回路装置とその製造方法、およびその回路装置に半導体素子を搭載し能動的な機能を持たせた半導体装置を提供することを目的とする。

#### 【0005】

【課題を解決するための手段】上記した課題を解決するために、本発明は、配線上に絶縁層が積層されている基板の前記絶縁層に対して電気的作用を生じさせるための素子を有する電子部品をマウントするとともに、マウントされた前記電子部品の端子部を所定形状の押圧面を有するツールによって押圧し、前記素子に接続された端子部において前記電子部品と前記配線とを電気的に接合させるボンディング工程と、ボンディングされた前記端子部の前記ツールに押圧されていた部分の少なくとも一部に他の部品を電気的に接合させる積層工程と、を具備する回路装置の製造方法を提供する。また本発明は、配線上に絶縁層が積層されている配線基板の前記絶縁層に対して電気的作用を生じさせるための素子を有する電子部品をマウントするとともに、マウントされた前記電子部品の端子部を所定形状の押圧面を有するツールによって押圧し、前記素子に接続された端子部において前記電子部品と前記配線とを電気的に接合させるボンディング工程と、ボンディングされた前記端子部の前記ツールに押圧されていた部分の少なくとも一部に他の部品を電気的に接合する積層工程と、を具備する回路装置の製造方法を提供する。これら回路装置の製造方法においては、電子部品に設けられる端子部の高さが全て実質的に同一であることが好ましい。

【0006】さらに本発明は、電気的作用を生じさせるための素子本体部とこの素子本体部を外部装置の導電性部材と電気的に接続させるための端子部とを具える電子部品であって、前記電子部品を積層させる積層方向に配列され前記外部装置の導電性部材と電気的に接続される前記端子部の高さを厚さの最大値とした構造を有する電子部品を提供する。上記電気部品においては、外部装置と接続される端子部の複数の部位が同一平面内に配置される場合、少なくともこの同一平面内に位置する部位は電極表面となるよう構成されていることが好ましい。さらに本発明は、型材の表面を所望の凹凸形状に形成する工程と、前記表面に電気めっきに用いる陰極を形成する工程と、前記陰極上に電気的作用を奏する素子本体を設けるとともに、前記陰極上の少なくとも最も凹んだ部分を前記陰極を用いた電気めっきにより導電性材料にて埋めかつ前記素子本体と連結する前記最も凹んだ部分の前記導電性材料とを電気的に接続する工程と、前記素子本体ならびに前記導電性材料を樹脂にて封止する工程と、前記最も凹んだ部分の直上に相当する前記樹脂を除いて開口を設け前記導電性材料を露出させる工程と、前記開口をさらに導電性材料によって埋める工程と、を具備する電子部品の製造方法を提供する。

【0007】さらに本発明は、電気的作用を生じさせる

ための素子本体部とこの素子本体部を他の導電性部材と電気的に接続させるための端子部とを具える電子部品を複数有しているとともに、前記電子部品の前記端子部に設けられたバンパ電極によって、他の前記電子部品の端子部に対して電気的に接合されていることにより前記複数の電子部品が積層構造をなしており、かつ積層された前記電子部品間が絶縁性材料によってうずめられている回路装置を提供する。また本発明は、電気的作用を生じさせるための素子本体部とこの素子本体部を他の導電性部材と電気的に接続させるための端子部とを具える電子部品を複数有しているとともに、前記電子部品の前記端子部に設けられたバンパ電極によって、他の前記電子部品の端子部に対して電気的に接合されていることにより前記複数の電子部品が積層構造をなしており、積層された前記電子部品間が絶縁性材料によってうずめられており、前記端子部の前記バンパ電極の積層方向反対側に他の電子部品が有するバンパ電極が電気的に接合される電極が配置されている回路装置を提供する。また本発明は、電気的作用を生じさせるための素子本体部とこの素子本体部を他の導電性部材と電気的に接続させるための端子部とを具える電子部品を複数有しているとともに、前記電子部品の前記端子部に設けられたバンパ電極によって、他の前記電子部品の端子部に対して電気的に接合されていることにより前記複数の電子部品が積層構造をなしており、積層された前記電子部品間が絶縁性材料によってうずめられてなる回路装置であって、前記端子部の前記バンパ電極の、前記回路装置の厚さ方向反対側に他の電子部品が有するバンパ電極が電気的に接合される電極が配置されている回路装置を提供する。これら回路装置は、電子部品間の接続部位に拡散接合による接合部を有することが好ましい。

【0008】さらに本発明は、上記回路装置に半導体素子が表面実装されている半導体装置を提供する。

【0009】

【発明の実施の形態】以下に本発明の実施の形態を、図面を用いて示す。

(実施形態1) 図1に、本発明の回路装置である部品内蔵基板の一実施形態を示す。同図では可撓性に優れたフィルムタイプの部品内蔵基板を例にしている。本実施形態による部品内蔵基板は、コア基板10上に積層された絶縁樹脂11および配線部品12、電子部品13から構成される。コア基板10としては例えば、銅箔による配線パターン101がポリイミドフィルム102上に形成されたフィルム回路配線基板を用いることができる。ただし、コア基板を無くし、絶縁樹脂11および配線部品12、電子部品13のみで部品内蔵基板を形成することも可能である。配線部品12と電子部品13とがそれぞれ有する端子部には、層間接続用のバンパ電極14とパッド電極15が、電気部品13の厚さ方向に倣うよう配列されて形成されている。絶縁樹脂11は回路装置が機

械的強度を獲得するための支持体となるとともに、異なる配線層の絶縁を担う層間絶縁層として機能しており、熱硬化性樹脂や熱可塑性樹脂などを用いて構成することができる。熱硬化性樹脂としては例えばエポキシ、ビスマレイミドトリアジン、ポリフェニルエーテル、ポリイミド、ベンゾシクロブテン等を用いることができる。一方、熱可塑性樹脂にはポリエチレン、熱可塑性ポリイミド等を用いることができる。必要に応じてフィラーを混入させても良い。

【0010】配線部品12は例えば銅、ニッケル、金、銀、錫等を含んだ導電体を用いることができ、特に銅やニッケル等の酸化しやすい金属からなる導電体の場合には酸化防止の目的で、該配線が基板表面に露出した部分には例えば金、銀、錫、白金、亜鉛等をコーティングすることが望ましい。配線本体にはその任意の場所に、層間接続用のバンパ電極14ないしパッド電極15が形成される。バンパ電極14は異なる層の他の配線部品に設けられたパッド電極15に電気的に接続され、ビアを形成する。バンパ電極14とパッド電極15との接続は、ボンディング時に発生するバンパ電極14への高さ方向の応力付加による圧接、ないしバンパ電極14とパッド電極15との接触面及びその近傍で生じる相互拡散、合金化により達成される。両電極ともそれらを構成する材料は配線と同様であってよいが、より低温での相互拡散、合金化を達成する目的で、バンパ電極14とパッド電極15のそれぞれの表面に例えば金と錫、銅と錫、金とアルミニウム、銀と錫等の組み合わせの金属被膜をコーティングすることが好ましい。電子部品13は例えば抵抗、キャパシタ、インダクタ等の受動部品であって、これらは電気的作用を奏するための素子本体を構成する素子部16と、この素子部16を外部装置と電気的に連結するための端子部である電極部17とから構成される。電極部17はパッド電極15が露出する一方の主面とバンパ電極14が露出する他方の主面を有する。ここで、パッド電極15の表面からバンパ電極14の突端までの寸法(厚さ)は、その電子部品の厚さの最大値に等しく、同一層内に内蔵する他の電子部品の最大厚さと等しいことが好ましい。また、同一層内に配線部品12が存在する場合には、配線部品12のパッド電極15の電極面と他方の主面から突出したバンパ電極14の先端までの寸法が同じであることが好ましい。

【0011】素子本体である素子部16が抵抗作用を有する抵抗体である場合には、素子部16は例えばカーボン、ニッケル・クロム合金、チタン・タングステン合金、あるいはこれらが分散された導電性樹脂等を用いることができる。素子部16がキャパシタとして構成される場合には、素子部16は例えば酸化チタン、チタン酸ストロンチウム、酸化タンタル、酸化珪素、窒化珪素等の誘電体を、アルミニウム、チタン、タンタル、モリブデン、タングステン等の導電体で厚み方向から挟んだ

積層構造にして用いることができる。一方、これら素子部16の両端部に形成される電極部17は、銅、ニッケル等で構成され、バンプ電極14やパッド電極15により構成される。後述する回路装置の製造工程の都合上、バンプ電極14の厚み方向にパッド電極15が配列されていることが望ましい。これは配線部品12に形成されたバンプ電極14、パッド電極15についても同様に望ましい条件となる。素子部16および電極部17は保護樹脂18で被覆された構成とすることが好ましい。保護樹脂18は電子部品13の剛性を高めるように作用し、素子部16の寸法変化による特性変化を防止する機能を有する。この機能の向上のため、保護樹脂18には例えば酸化珪素、酸化アルミニウム、窒化ボロン等の無機フィラーを含有させた熱膨張係数が小さい熱硬化性樹脂を用いることが好ましい。保護樹脂18によって素子部16および電極部17を一体に保持することにより、素子部16と電極部17との電気的接続を保つ効果も有する。

【0012】上記した部品内蔵基板10は、電気的作用を生じさせるための素子本体部とこの素子本体部を他の導電性部材と電気的に接続させるための端子部とを具える電子部品を複数有しているとともに、前記電子部品の前記端子部に設けられたバンプ電極によって、他の前記電子部品の端子部に対して電気的に接合されていることにより前記複数の電子部品が積層構造をなしており、かつ積層された前記電子部品間が絶縁性材料によってうずめられている。したがって、部品の製造工程、基板の製造工程の夫々の工程に付加を負わせることなく、独立した歩留まりの制御が可能になるため、量産に適する。従来の電子部品のように、セラミックスでパッケージングされていないことにより、部品の厚みも薄肉化できるため、基板全体の薄肉化を達成可能とし、基板内における電気的距離も短小化させることが可能となる。また上記した部品内蔵基板10は、電気的作用を生じさせるための素子本体部とこの素子本体部を他の導電性部材と電気的に接続させるための端子部とを具える電子部品を複数有しているとともに、前記電子部品の前記端子部に設けられたバンプ電極によって、他の前記電子部品の端子部に対して電気的に接合されていることにより前記複数の電子部品が積層構造をなしており、積層された前記電子部品間が絶縁性材料によってうずめられており、前記端子部の前記バンプ電極の積層方向反対側、すなわち前記回路装置の厚さ方向反対側に他の電子部品が有するバンプ電極が電気的に接合される電極が配置されている。したがって、部品を積層させる際に加えられる圧力により、被接続側の電子部品が破損しにくくなるとともに、確実な接合が得られるので、導通不良の発生が低減されている。

【0013】(実施形態2) 図2(a)～(k)では実施形態1で説明した電子部品13として抵抗部品の製造

方法の一実施例を示す。まず、図2(a)に示す如く、型板となるテンプレート20を用意し、形成したいバンプ電極(例えば図1中におけるバンプ電極14)の反転形状を有する凹部21を形成する。テンプレート20の原材料としてはシリコン単結晶、ガラス、インバー等の平坦性、寸法安定性、加工性、耐熱性に優れた材料を用いることが好ましい。ここで、テンプレート20の材料としてシリコン単結晶ウェハを用いる場合は、凹部の形成に次に示すような異方性エッチングを利用することができる。すなわち、先ずp型(100)面方位のシリコン単結晶ウェハの表面に熱酸化膜を形成する。次いで、この熱酸化膜上にレジスト層を形成し、このレジスト層を露光・現像して凹部を形成したい部位に例えば50 $\mu$ m平方の正方形開口部を形成する。この後、弗化アンモニウム、弗酸混合溶液で熱酸化膜のエッチングを行い、シリコンを露出させる。レジストを剥離した後、水酸化カリウム水溶液を用いて露出したシリコン部位を選択的にエッチングすると、(111)面方位のエッチング速度が他の面のエッチング速度に比較して極めて遅いため、結果として深さ約35 $\mu$ m程度の鍾形状の凹部21が形成できる。

【0014】続いて、図2(b)に示す如く、凹部21が形成されたテンプレート20上に後で行う電気めっきの陰極となるシード層22を例えば銅、ニッケル、金等の金属で蒸着法、スパッタリング法、CVD法、無電解めっき法等を用いて形成する。このシード層は、後にキャリアを剥離する際の剥離層としても機能するため、剥離工程で剥離しやすかつ、剥離工程までの間の工程で剥離が生じないように、シード層とキャリアとの密着強度はピール強度として0.05kg/cmより大きく0.5kg/cmより小さくなるようにシード層の材料ないし形成法を選択し、形成温度等の形成条件を制御することが肝要である。本実施例においては、純銅を蒸着法を用いて形成温度50℃で1 $\mu$ mの厚さに形成した。凹部21の底頂部付近での蒸着膜のカバレッジを改善するために、蒸着中は被蒸着物を自公転させることが望ましい。次に、電子部品として主たる機能を発現させるための素子本体を形成する。すなわち、抵抗部品の場合ならば、図2(c)に示す如く、ニッケルクロム合金をターゲットとして用いたスパッタリング法により、シード層22上に抵抗膜23を形成する。スパッタリングに際しては、予め抵抗膜を形成する部位が開口したメタルマスクをテンプレート20上に密着させることにより、所望の部位のみに抵抗膜を形成できる。スパッタリングでは、基板温度を200℃程度に設定することで、緻密な抵抗膜を得ることができる。この基板温度は比較的高温であるが、テンプレート20としてシリコン単結晶ウェハを用いているならば、十分な耐熱性を有しているため問題なく使用できる。

【0015】次に図2(d)～(f)に示す如く、パタ

ーンめっき法により、電極を形成する。パターンめっき法では先ず図2 (d) に示す如く、シード層22・抵抗膜23上にレジスト膜24を形成する。レジストにはフィルム状のドライフィルム・レジストを用いることができる。本実施例においては厚さ30 $\mu$ mのネガ型のドライフィルム・レジストを用い、シード層22上にラミネートした。このレジストを露光・現像し、電極のパターンを反転した開口を有するレジストパターンを形成する。すなわち、電極のパターンを有する開口は、電極形成部上のレジストを現像により除去して下地のシード層22を露出させるように形成する。本実施例においては、テンプレート20として平坦性、寸法安定性に優れたシリコン基板を用いるため、露光時のパターン形成用

シアン金カリウム  
第一リン酸カリウム  
第二リン酸カリウム  
シアンニッケルカリウム

めっき液温を50～90℃、電流密度を0.1～2A/dm<sup>2</sup>として、めっき膜厚が1 $\mu$ mに達する時間を予め求めておき、その時間になったら通電を止め、テンプレート20をめっき装置から取り出し十分に水洗する。めっき液の組成を調整し、めっき液のpHを7付近に制御することで、レジストパターン24へのダメージを抑えることができる。この銅めっき工程は、銅めっきの厚さとめっき表面の平坦性が電極形態を決定するため、最も繊細な条件設定が必要となる工程である。めっき工程では、シード膜22表面にめっきを行うことはもちろんのことながら、同時に凹部21内に充填されるように行う必要がある。さて、パッド電極の電極表面は平坦であることが望ましい。しかしながら、一般的にプリント配線板のスルーホールめっき等に用いられる銅めっき液ないし銅めっき工程では、下地の形状に沿って均一な厚さでめっき膜が形成されるため、凹部21直上の電極表面は凹状となり、本目的には不適である。めっき後の電極表面を平坦化するためには、凹部以外の電極形成部に比べ凹部内部での銅めっき速度を高める必要がある。この目的を達成するため、周期的反転電解による電気めっき法を適用できる。

【0017】電流の向きが周期的に反転するパルス電流源を用いた、周期的反転電界による銅の電気めっき法について説明する。まず、電気めっき装置のパルス電流源

硫酸銅5水和物	50～200	〔g/リットル〕
硫酸（比重1.84）	50～200	〔g/リットル〕
塩酸（37%）	0.05～0.3	〔ミリリットル/リットル〕
	5～200	〔ppm〕
	1～200	〔ppm〕

めっき膜25の厚さが20 $\mu$ mに達する時間を予め求めておき、その時間になったら通電を止め、テンプレート20をめっき装置から取り出し十分に水洗する。以上の条件でめっきを行った場合、めっき膜厚は20 $\mu$ mであ

マスクにガラス乾板を用いれば極めて高いパターン解像度を得ることができる。レジストパターン形成後の工程で、図2 (e) に示す如く、シード層22を陰極として電気めっきを行い、めっき膜25を形成する。電気めっきは、始めに厚さ1 $\mu$ m程度に金をめっきし、続けて厚さ20 $\mu$ m程度の銅めっきを連続して行う。すなわち、めっき膜25は、金と銅の2層構造となる。

【0016】金めっき工程は、先ず、電気めっき装置の直流電流源の陰極をシード層22に接続し、電流源の陽極にはステンレス板等を接続して、両者をめっき液に浸漬する。めっき液としては、例えば下記の組成の水溶液を使用することができる。

1～30	〔g/リットル〕
1～50	〔g/リットル〕
1～50	〔g/リットル〕

0.1～5〔g/リットル〕

の一方の極をシード層22に接続し、パルス電流源の他方の極を含リン銅板にそれぞれ接続する。電流源は例えば図3に示すように周期的に正負が交代する電流パターンを与えることができる。含リン銅板側が陽極となりシード層22側が陰極となる状態にある場合、シード層22に対して電子が供給されると、めっき液中のCu<sup>2+</sup>を還元してシード層表面に銅が析出する。一方、電流を交番させることによって、含リン銅板側が陰極となりシード層22表面に堆積した銅から電子が奪われて銅イオンとなり、銅が溶出する。このとき、銅の溶出量よりも銅の析出量のほうが多ければ、シード層22表面に銅が堆積することになる。すなわち、2A/dm<sup>2</sup>の電流密度で10msのあいだ銅を析出させ、4A/dm<sup>2</sup>の電流密度で0.5msのあいだ銅を溶出させ、これを繰り返す。銅の溶出量は析出量に比べ少なくなるよう設定するために、最終的には銅膜が形成されることになる。溶出時の電流密度を高く設定しているため、特に電流が集中しやすい凹部21の周囲での溶出量が凹部21内部に比べ多くなり、結果として凹部21内部でのめっき速度を速くすることができるから、全体としてみたとき、めっき膜の表面は平坦化されることとなる。なお、めっき液としては、例えば下記の組成の酸性の水溶液を使用することができる。

50～200	〔g/リットル〕
50～200	〔g/リットル〕
0.05～0.3	〔ミリリットル/リットル〕
5～200	〔ppm〕
1～200	〔ppm〕

るが、深さ35 $\mu$ mの逆ピラミッド状の凹部は完全に埋まり、めっき膜25の表面は凹部21の直上を含めて平坦化される。

【0018】続いて、図2 (f) に示す如く、レジスト

パターンを水酸化ナトリウム水溶液等により除去することにより、テンプレート20上にパンプ電極形状が形成される。尚、この時点では、各電極および抵抗膜はシード層22により互いに電気的に連結されたままの状態である。また、続いて形成する保護樹脂と銅めっき膜25側面及びシード層22との密着性を高める目的で、この時点でめっき膜25側面ないしシード層22表面を粗面化する。粗面化処理としては、銅を酸化させるいわゆる黒色化処理やこの酸化銅をさらに還元する還元処理、あるいは無電解銅めっきにより針状結晶を析出させる処理などを用いることができるが、本実施例では黒色化処理の後に還元処理を行う工程を用いた。この後、図2

(g)に示す如く、保護樹脂26をテンプレート20上全面に成層する。保護樹脂26の材料としては、実施形態1で示したような熱硬化性や熱可塑性あるいは光硬化性の樹脂を用いることができ、形態としては液状ないしフィルム状の樹脂を用いることができる。例えば、液状ポリイミド樹脂を用いる場合には、非感光性のポリイミド樹脂のワニスにスピコート法、カーテンコート法、印刷法等によりテンプレート20上に塗布し、約20 $\mu$ m厚の塗膜を形成する。この後、キュアを行い重合・硬化させる。樹脂と接する面が粗面化されているならば、樹脂塗布時に樹脂がその粗面に沿って流動し強固なアンカーを形成するため、キュア後の保護樹脂26に対するめっき膜25・シード層22の密着力は高く、1kgf/cm程度のピール強度を実現することが可能となる。

ホウフッ化錫  
ホウフッ酸  
ホウ酸  
 $\beta$ -ナフトール  
ゼラチン

10~300 [g/リットル]  
10~200 [g/リットル]  
10~50 [g/リットル]  
0.1~10 [g/リットル]  
1~20 [g/リットル]

めっき液の液温を20~50℃、電流密度を1~5A/dm<sup>2</sup>として、めっき膜厚が1 $\mu$ mに達する時間を予め求めておき、その時間になったら通電を止め、テンプレート20をめっき装置から取り出し十分に水洗する。なお、本実施例では保護樹脂26に非感光性の熱硬化樹脂を使用した。紫外線硬化性樹脂などの感光性樹脂を用いることもできる。この場合は、開口部を形成する方法としてレーザ加工を用いることなく、露光・現像工程で行うことができる。この場合においても、過マンガン酸塩の水溶液等によるウェットエッチングないし酸素プラズマによるアッシングを行い、パッド電極27上の現像残渣を除去することが好ましい。

【0021】続いて図2(i)に示すように電極ないし素子を保護樹脂26にて保持しつつテンプレート20だけを剥離する。この際、シード層22と保護樹脂26との間の密着力は1kgf/cm程度に制御されており、テンプレート20とシード層22との密着力の2倍以上となるため、シード層22が剥離層として機能し、テンプレート20はシード層22との界面から剥離する。

【0019】保護樹脂26のような保護膜が形成されれば電子部品として使用可能な状態となるが、ここで更に層間接続用の電極を設けたい場合がある。保護樹脂26によってめっき膜25が密閉されている場合、炭酸ガスレーザ等によって保護樹脂26に直径150 $\mu$ m程度のパッド電極用の開口を形成し、めっき膜25の表面を露出させる。このとき設ける開口は、電氣的距離の問題と機械的強度の確保の観点から凹部21の直上であることが好ましい。続いて、レーザ加工により生じたスミアを除去する目的で、過マンガン酸塩水溶液等で樹脂表面を軽度エッチングするとよい。レーザに代えて、酸素プラズマによるアッシングによっても同様な処理は可能である。めっき膜25が露出すれば層間接続を行なうことが可能となるが、さらにこの開口を導電性材料によって充填したい場合には、図2(h)に示す如く、開口に対し、シード層22を陰極として電気めっきを行い、めっき膜によってパッド電極27を形成する。電気めっきは、まず厚さ20 $\mu$ m程度の銅をめっきし、続けて厚さ1 $\mu$ m程度の錫めっきを連続して行う。銅めっきは図2(d)で説明した方法と同様な方法を用いることができる。

【0020】錫めっき工程は、先ず、電気めっき装置の直流電流源の陰極をシード層22に、電流源の陽極を錫板に接続する。めっき液としては、例えば下記の組成の酸性の水溶液を使用することができる。

尚、剥離された後のテンプレート20は、図2(b)に示すシード層形成工程から再度使用することができる。以上のようにして、電子部品が保護樹脂層に埋め込まれたシート28が得られる。該シート28の表面にはパッド電極27の表面が一方の主面に露出している。また他方の主面には素子本体である抵抗膜23表面に対して35 $\mu$ mの高さの突起が設けられており、この突起を含む主面全面がシード層22で覆われている。このようにして得られたシート28を、過硫酸アンモニウム、硫酸、エタノールからなる混合溶液で軽度エッチングすると、約1 $\mu$ m厚の銅薄膜からなるシード層22が除去できる。最後に、電子部品周囲をパンチングにより打ち抜くことにより、図2(j)に示す如く、電子部品30が形成される。

【0022】なお、図2(a)~(i)において1個の電子部品のみを取り上げて図示しているが、テンプレート20の主面の表面積に応じて適宜アレイ状に電子部品を形成することができる。アレイ状に形成された電子部品シート28を処理し、個別の電子部品30を取り出す



ように製造する。上記したプロセスにより製造された電子部品は、一方の主面に形成されるバンプ電極及び他方の主面に形成される保護樹脂表面あるいはパッド電極の形状や高さを精度よく均一に製造することができるから、配線基板に複数内蔵させた場合に、基板の主面を平坦化しやすく、したがって配線層を積層しやすい。また、素子を薄型化させやすく、配線基板に内蔵させた場合、配線基板の厚さを薄くすることができる。また、バンプ電極を錘形状に形成しているため、配線基板に内蔵させる工程の簡素化を可能とする。また、電子部品30の厚さ方向に配列されるように、すなわちバンプ電極の直上に層間接続のためのパッド電極を形成するようにしたので、押圧時にパッド電極に対してかける押圧力がバンプ電極に直接伝わるので、電子部品を積層させる際に電子部品が壊れにくい。図2(j)に示される如く、バンプ電極の先端からパッド電極の表面までの厚さを電子部品における最大の厚さとなるよう、すなわち、一方の主面における電極の先端と他方の主面における電極の高さにおける厚さを電子部品における最大の厚さとなるよう設計しておけば、熱などの条件による厚さの変動が抑制されるので、この電子部品を内蔵させた積層基板を製造し易くなる。また、この構成において、両主面の電極をバンプ電極で構成しても良い。このとき、積層基板の製法によっては、バンプの形状は錘である必要はなく、球でも柱でもよいものとなる。

【0023】また、端子部のボンディングツールによって押圧した部分に対して他の電子部品の電極を接合するようにしたので、複数の接合対象がボンディングツールの押圧面の形状で定まる所定の面上に配置されることになり、ボンディング工程における製造装置の制御が容易になる。また、電子部品と同様に配線部品も部品化しておくので、積層型の配線基板を形成する際に、配線層形成工程の歩留まりを向上させることが可能となる。なお、上記実施形態2においては抵抗部品の製造方法について示したが、図2(c)の工程においてスパッタリングする配線のパターンやスパッタさせる材料などを種々組み合わせることによって、キャパシタやインダクタなどの受動部品を構成することができる。とくに、単なるジャンパとして使用したい場合には、スパッタ工程を省略するとともに、めっき膜25を複数の凹部21を連結するように形成することによって製造することができる。上記した本発明の回路装置とその製法によれば、バンプを有する電極を容易に作りこむことができ、薄くて表面が平坦化された積層型の部品内蔵型回路装置を簡素な製法で提供することが可能となる。

【0024】(実施形態3) 図4(a)～(e)では実施形態1で説明した部品内蔵型の回路装置の製造方法の一実施例を示す。なお、ここで用いる電子部品としては実施形態2で説明した方法で製造した電子部品30を適用することが好ましい。さらに、パッド電極とバンプ電

極を含む配線部品も、実施形態2で説明した電子部品の製造方法における図2(a), (b), (d)～(j)で示される製造方法で形成することができる。先ず、図4(a)に示す如く、ポリイミド層42の表面に第一の配線層41が形成されたコア基板40を用意する。コア基板としては、例えば18 $\mu$ m厚の銅箔を50 $\mu$ m厚のポリイミドフィルム42に接着した2層構造のフィルムを用い、この銅箔を加工して配線パターンとなしたものをを用いることができる。第1の配線層41は通常のサブトラクティブ法により形成する。先ず、銅箔上に電気めっき法にて約1 $\mu$ m厚の錫膜を形成し、液状ポジレジストをスピンコートし、約5 $\mu$ m厚のレジスト膜を形成する。その後ベーキングし、露光・現像を行いレジスト膜で配線パターンを形成する。続いて、配線パターン以外の銅箔を、塩酸、硝酸、酢酸からなる混合溶液でエッチングする。この後、残ったレジスト膜を溶解・除去することにより第1の配線層41が形成できる。

【0025】続いて、図4(b)に示す如く、コア基板40上に層間絶縁層となる絶縁性樹脂層43を形成する。絶縁性樹脂としては、非感光性のポリイミド(PMDA-ODA)樹脂等を用いることができる。この樹脂のワニスを印刷法、カーテンコート法等により第1の配線層41が形成されたコア基板40の主面全面に塗布し、約50 $\mu$ m厚の塗膜を形成する。この後、80℃で20分間ベーキングを行い乾燥させる。この状態でのポリイミド樹脂の重合度は30～50%でその硬度は20Hd以下と柔らかい。次に、図4(c)に示す如く、この絶縁性樹脂層43に電子部品45を搭載していく。電子部品45は素子を形成させた部分から約35 $\mu$ m突出させた錘状のバンプ電極46を含む。電子部品45は、バンプ電極46が形成される主面と異なる他方の主面に形成されたパッド電極47側がマウンタヘッド44によって吸着保持され、バンプ電極46側を絶縁性樹脂層43に押し当てられて埋め込まれ仮固定される。この時点で電子部品45と第1の配線層41とをボンディングしてもよいが、本実施形態では仮固定であるため、下層の第一の配線層41とバンプ電極46が必ずしも接触する必要は無く、バンプ電極46が樹脂層43に埋め込まれる程度の加圧で十分である。加圧後、マウンタの吸着を解除し、他の電子部品45や配線部品48などを絶縁性樹脂層43上へ搭載できる。なお、配線部品48は、電子部品45における抵抗部分が形成されずに、パッド電極401やバンプ電極402が全て銅のめっき膜にて一体に形成されたものである。このように、先に必要とされる電子部品をマウントしておき、後述するようにあとで一括してボンディングすることにより、製造時間を短縮することが可能となる。

【0026】図4(d)に示す如く、電子部品45ないし配線部品48が仮固定された基板全体を所定形状の押圧面を有するツールによりプレスする。ツールとして用

いるプレスヘッド49の温度は200～400℃とし、平面に整形された押圧面によって基板表面を10～80 kg/cm<sup>2</sup>の圧力で10秒から600秒程度押圧し保持する。この熱プレスにより、絶縁性樹脂層43を構成する樹脂材料が流動し、加圧された電子部品45ないし配線部品48のバンパ電極46、402を、下層の第一の配線層41の電極に接触させる。これにより、バンパ電極46表面に被膜した金と第一の配線層41の電極表面に被膜した錫とが相互拡散して共晶化し熔融、接合部が形成される。さらに加熱することにより樹脂材料の重合反応を進行させ、PMDA-ODAの重合度をほぼ100%にする。ここで、電子部品45を加圧する際、電子部品45のパッド電極47からバンパ電極46の先端までの距離が電子部品45の最大の厚さとなっており、プレスヘッド49はパッド電極47の表面に当接して押圧しながら電子部品を押し込むことになる。したがって、電子部品45が加圧により樹脂層43内に押し込まれても、流動した樹脂がパッド電極47の表面を覆い難い。さらに、パッド電極47の対向する面にはバンパ電極46が形成されているため、加圧した際に、電子部品の素子部403に曲げ応力が発生し難い。加えて、同一層に搭載された電子部品45や配線部品48のパッド電極47からバンパ電極46の先端までの距離が全て等しく形成されていれば、全てのバンパ電極とパッド電極との接触が確実に行われる。厚さに多少のバラツキが生じていても、加圧でバンパ電極46の変形が生じるので、バラツキがこの変形量内で収まっていれば誤差範囲内となり、問題を生じない。

【0027】熱プレス工程が終了すると、図4(e)に示す如く、ツールの押圧面形状が転写された表面が平坦な部品内蔵型回路装置が形成される。以降、図4(b)～(e)にて示された工程を繰返すことで、図1に示す部品内蔵型の回路装置を形成できる。さらに図4(b)～(e)にて示された工程を複数回繰返すことで任意の層数の部品内蔵基板を形成できる。また、コア基板の対向する面にも同様な工程で、電子部品を内蔵した層を形成することも可能である。

【0028】(実施形態4)図5は本発明による半導体装置の一実施例を示す。同図ではフィルムタイプの部品内蔵基板上にフリップチップボンディング法によりフェイスボンディングされた能動素子たる半導体チップの一部拡大図を示している。半導体チップは半導体集積回路が形成されたベアチップ51で、その表面には接続パッド52と半導体集積回路を保護するためのパッシベーション膜53が形成されている。接続パッド52上には金、銅、ニッケル、はんだ等のバンパ電極54等が形成される。バンパ電極54の形成には、めっき法やワイヤボンディング法等を用いることができる。一方、部品内蔵基板55は、実施形態1で説明した基板であり、その表面にはベアチップ51の接続パッド52に対して接続

されるべきパッド電極56が露出している。このバンパ電極54とパッド電極56とが接続されるようにフリップチップボンダ等を用いて、ベアチップ51を位置合わせして搭載し、電気的に接続している。この際、バンパ電極54とパッド電極56との接続には、シリカ等からなる無機フィラーを分散させた異方性導電膜や異方性導電ペースト等の封止樹脂57を用いることができる。

【0029】このようにして構成された本発明の半導体装置によれば、能動素子と部品内蔵基板が内蔵している受動素子との空間的・電気的距離を短くすることができるので電気信号の時間遅延が軽減され装置の高速化に適する構成となるとともに、表面が平坦化された部品内蔵型の回路装置であるため、半導体チップの実装を歩留まりよく実施可能となり実装後の接続信頼性が向上している。なお、本発明の回路装置に対しては、バンパ接続によるベアチップ実装に限らず、パッド電極56に対する接続端子を有する電子部品であれば搭載することは可能である。さらに、複数のベアチップを搭載することも可能であり、たとえば、実施形態4におけるベアチップ51上に接着層を設け、この接着層に対して第二のベアチップをフェイスアップで搭載し、この第二のベアチップの接続パッドをワイヤボンディング法等で部品内蔵基板55に接続することで、複数のベアチップを積層搭載することも可能である。なお、本発明は前記実施形態に限定されるものでなく、その要旨を逸脱しない範囲で変更して実施し得る。例えば、コア基板、テンプレート、シード層、配線、電極、樹脂、めっき液、エッチング液はその材質、寸法などに関して種々変更して用いることができ、さらに、電気めっきあるいはエッチングにおける条件も前記例示に限定されないことは無論である。

#### 【0030】

【発明の効果】以上述べたように本発明によれば、部品内蔵型の積層配線を歩留まりよく製造することが可能な回路装置構造とその製造方法、並びに受動素子と能動素子との電気的距離を小さくした半導体装置を提供することを可能とする。

#### 【図面の簡単な説明】

【図1】 実施形態の部品内蔵型回路装置を説明する模式図

【図2】 実施形態の電子部品の製造方法を説明する模式図

【図3】 実施形態の電子部品の製造方法におけるめっき条件を説明する図

【図4】 実施形態の部品内蔵型回路装置の製造方法を説明する模式図

【図5】 実施形態の半導体装置を説明する模式図

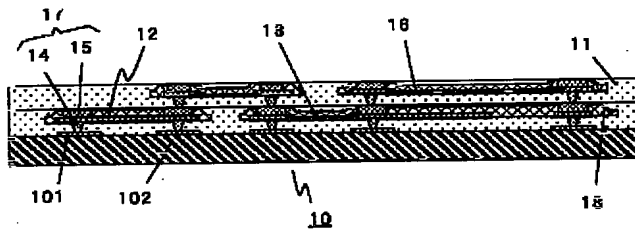
#### 【符号の説明】

10…コア基板、11…絶縁樹脂、12…配線部品、13…電子部品、101…配線パターン、102…ポリイミドフィルム、14…バンパ電極、15…パッド電極、

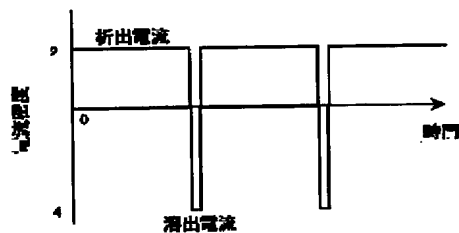
16…素子部、17…電極部、18…保護樹脂、20…  
テンプレート、21…凹部、22…シード層、23…抵  
抗膜、24…レジスト膜、25…めっき膜、26…保護  
樹脂、27…パッド電極、28…シート（電子部品シ  
ート）、30…電子部品、40…コア基板、41…第一の  
配線層、42…ポリイミドフィルム、43…絶縁性樹脂  
層、44…マウンタヘッド、45…電子部品、46…バ

ンプ電極、47…パッド電極、401…パッド電極、4  
02…バンプ電極、403…素子部、48…配線部品、  
49…プレスヘッド、51…ベアチップ、52…接続パ  
ッド、53…パッシベーション膜、54…バンプ電極、  
55…部品内蔵基板、56…パッド電極、57…封止樹  
脂

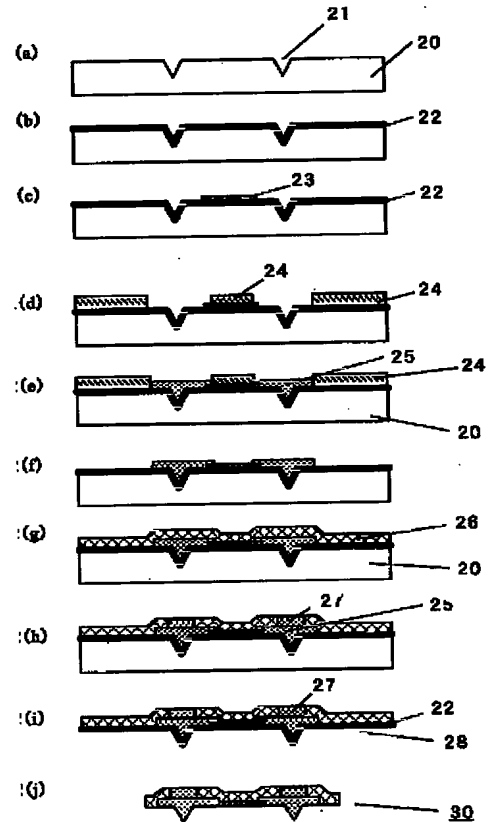
【図1】



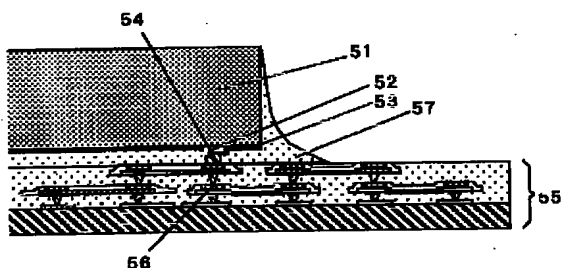
【図3】



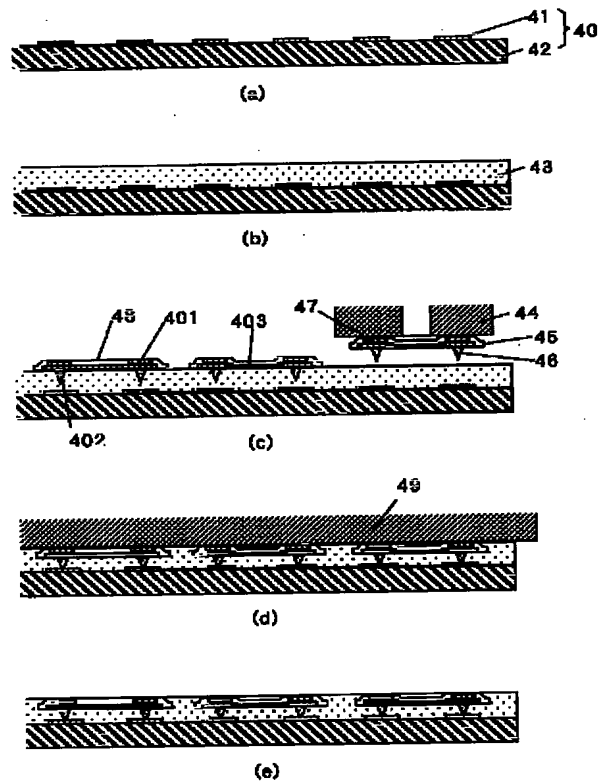
【図2】



【図5】



【図4】



フロントページの続き

Fターム(参考) 4E351 AA01 BB01 BB04 BB06 BB09  
BB24 BB26 BB29 DD01 GG20  
5E336 AA04 AA08 AA11 BB03 BB15  
BC34 CC12 CC15 CC18 CC22  
CC23 CC51 EE05 GG14  
5E346 AA05 AA12 AA14 AA15 AA60  
BB01 BB16 BB20 CC02 CC08  
CC31 DD03 DD09 DD22 EE31  
FF21 FF45 GG28 GG40 HH22  
HH33